GCR1
2023/2024

Electronique Numérique
Série de TD N°4

Exercice 1

1. Analyser le fonctionnement du circuit de la figure 1 et compléter les chronogrammes de la figure 2.

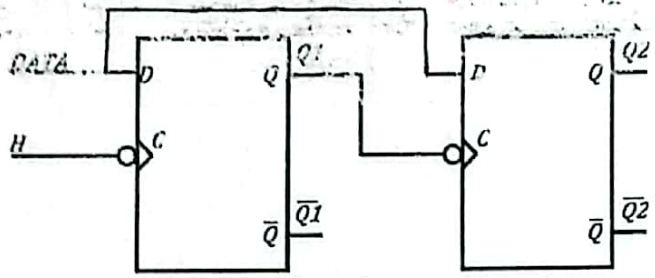


Figure 1

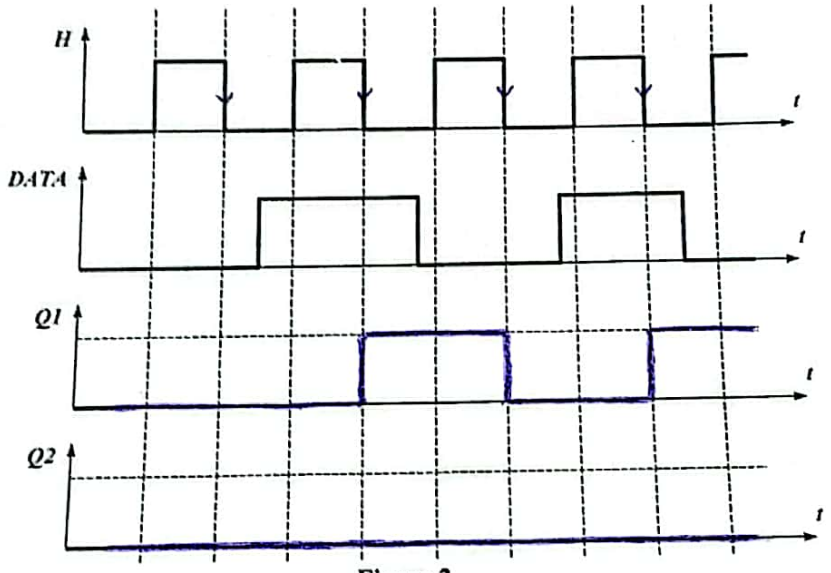


Figure 2

2. Analyser le fonctionnement du circuit de la figure 3 et compléter les chronogrammes de la figure 4.

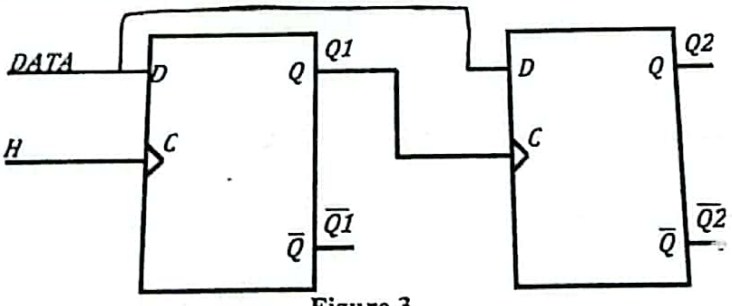


Figure 3

Scanné avec CamScanner

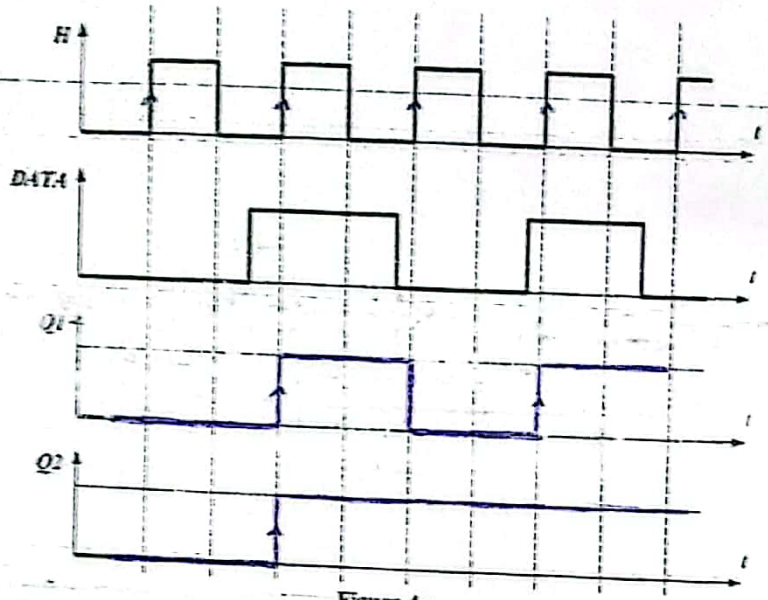


Figure 4

3. Analyser le fonctionnement du circuit de la figure 5 et compléter les chronogrammes de la figure 6.

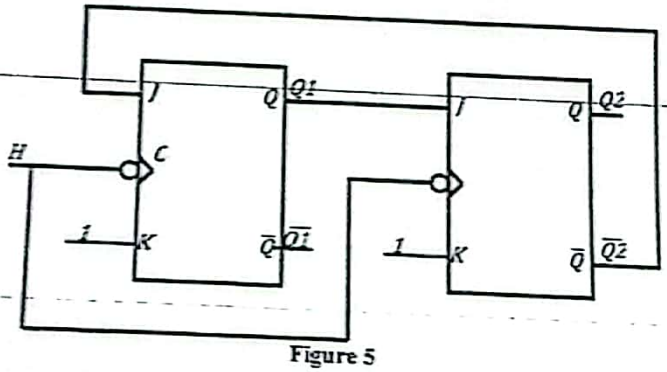


Figure 5

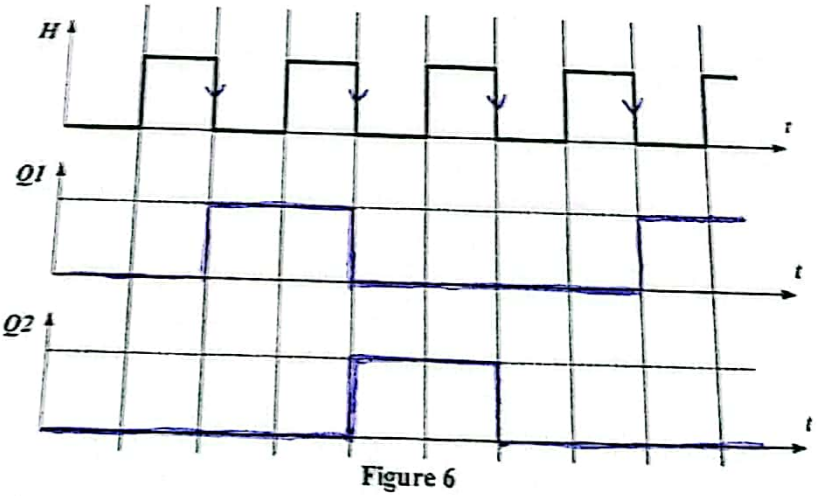


Figure 6

Scanné avec CamScanner

Exercice 2 (Montage Maître-Esclave)

Soit le montage de la figure 7. Compléter les chronogrammes de la figure 8.

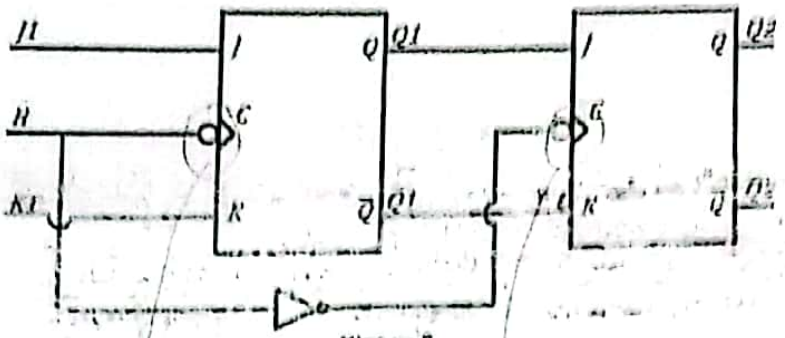


Figure 7

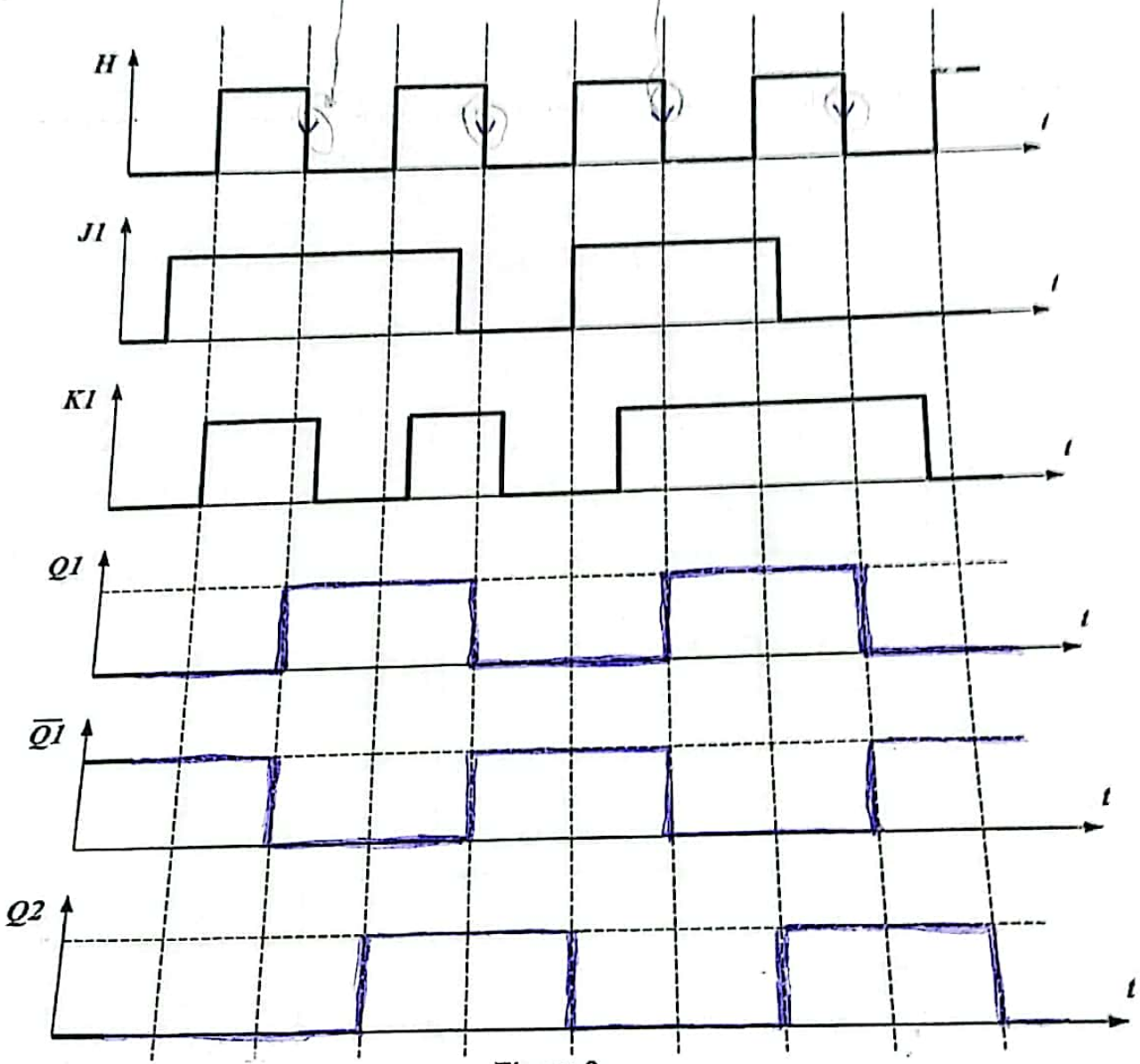


Figure 8

Scanné avec CamScanner

Exercice 3

Soit le montage de la figure 9.

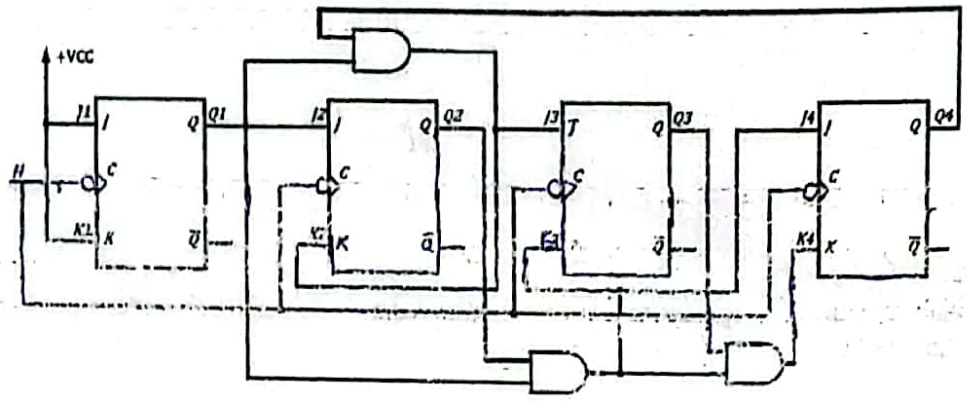


Figure 9

1. Donner les équations des entrées J et K de chaque bascule.
2. Analyser le fonctionnement de ce circuit et compléter le tableau1.
3. Déduire les formes d'ondes des sorties Q1, Q2, Q3 et Q4 sur les chronogrammes de la figure 10. On suppose que les sorties Qi sont initialement à l'état bas.

Tableau 1

	H	J1	K1	J2	K2	J3	K3	J4	K4	Q1	Q2	Q3	Q4
		1	1	0	0	0	0	0	0	0	0	0	0
1	↓	1	1	1	0	0	0	0	0	1	0	0	0
2	↓	1	1	0	0	0	0	0	0	0	1	0	0
3	↓	1	1	1	0	0	1	1	0	1	1	0	0
4	↓	1	1	0	0	0	0	0	0	0	1	0	1
5	↓	1	1	1	1	1	1	1	0	1	1	0	1
6	↓	1	1	0	0	0	0	0	0	0	0	1	1
7	↓	1	1	1	1	1	0	0	0	1	0	1	1
8	↓	1	1	0	0	0	0	0	0	0	1	1	1
9	↓	1	1	1	1	1	1	1	1	1	1	1	1

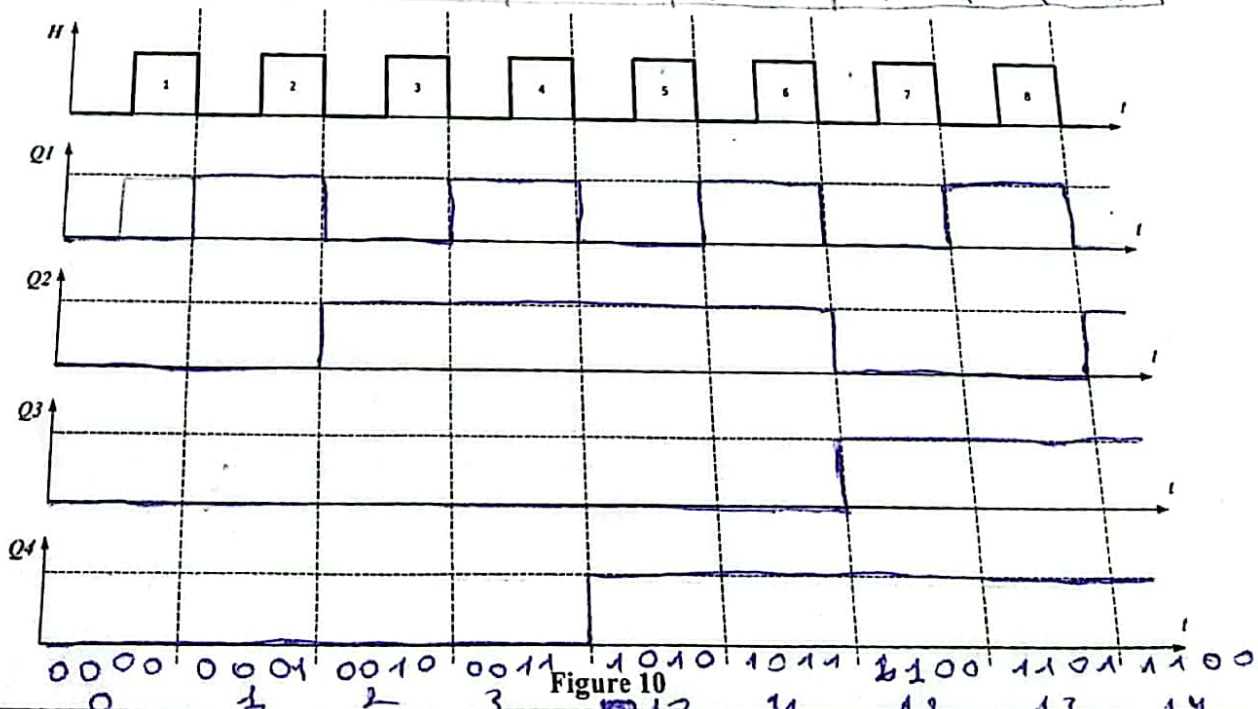


Figure 10

Scanné avec CamScanner

GCR1

Chapitre 4:

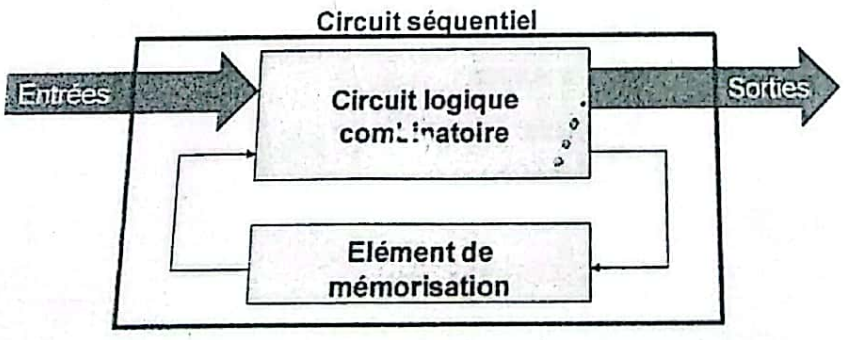
La logique séquentielle

Définition

- Un système est dit «séquentiel», lorsque son évolution ne dépend pas uniquement des informations données par ses variables d'entrée, mais aussi de l'état antérieur de chacune de ses sorties.
- Une fonction de logique séquentielle a la capacité de se « souvenir » des états antérieurs des sorties.

⇨ Notion de mémorisation de l'état actuel des sorties.

Une même combinaison des entrées pourra avoir des effets différents sur les sorties.

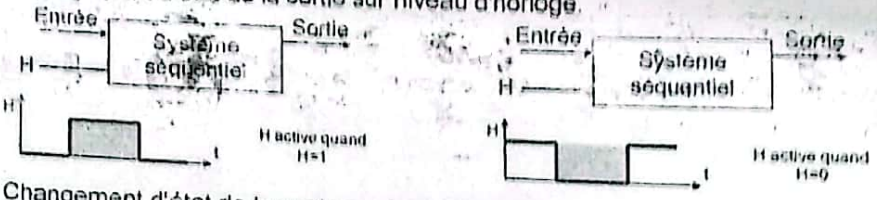


Scanné avec CamScanner

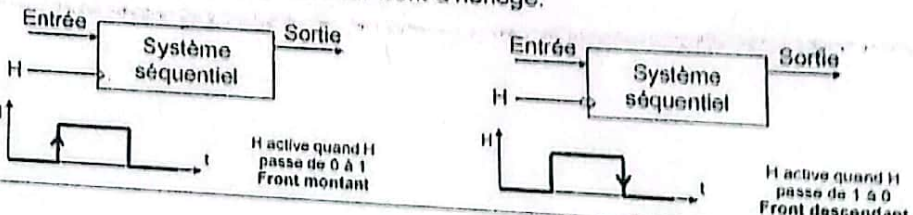
Fonctionnements asynchrone et synchrone

L'évolution d'un système respectant la logique séquentielle peut s'effectuer de deux manières :

- ✓ Fonctionnement asynchrone : la sortie peut changer d'état quand une ou plusieurs entrées changent.
- ✓ fonctionnement synchrone : le changement d'état de la sortie est commandé par un signal d'horloge (H, C, Clk, T). Les informations évoluent en fonction du temps :
  - ➢ Changement d'état de la sortie sur niveau d'horloge.



  - ➢ Changement d'état de la sortie sur front d'horloge.



Bascules

Une bascule est un circuit logique bistable pouvant prendre deux états logiques "0" ou "1".

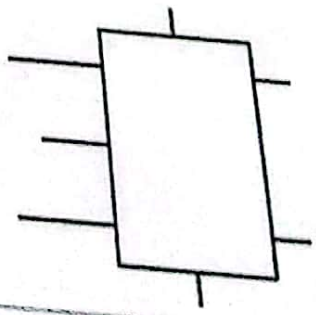
Une bascule est capable, dans certaines circonstances, de maintenir les valeurs de ses sorties malgré les changements de valeurs d'entrées (contrairement aux circuits logiques combinatoires), c'est-à-dire comportant un état mémoire.

Il existe deux types de bascules : les bascules asynchrones (*latch*) et les bascules synchrones (*flip flop*), possédant une entrée d'horloge de synchronisation.

La bascule est l'élément de base de la logique séquentielle. En effet, en assemblant des bascules, on peut réaliser des registres de décalage, des registres de mémorisation ou des compteurs.

D'une façon générale, une bascule possède :

- ➢ Une ou deux entrées d'informations
- ➢ Deux sorties complémentaires Q et $\bar{Q}$
- ➢ Une entrée d'horloge
- ➢ Deux entrées de forçage ou de programmation



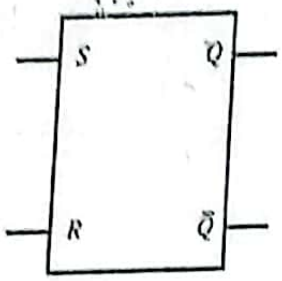
Scanné avec CamScanner

Bascule RS asynchrone

La bascule RS, est considérée comme le circuit basique en logique séquentielle.

Elle comprend :

- Deux sorties complémentaires Q et $\bar{Q}$
- Une entrée de donnée, qui, une fois activée met la sortie $Q = 1$ et elle est étiquetée par S (SET).
- Une entrée de donnée, qui, une fois activée met la sortie $Q = 0$ et elle est étiquetée par R (RESET).



Bascule RS-NOR asynchrone

Circuit

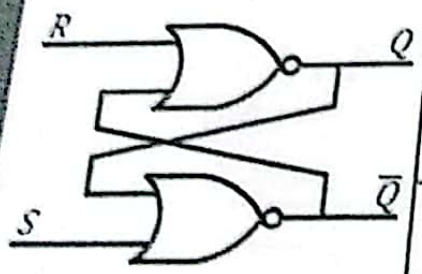


Table de transition

Etat	Entrées		Sorties		Description	Fonction de sortie
	R	S	Q Etat présent	Q+ Etat suivant		
Mémoire	0	0	0	0	Mémorisation	Maintient à 0 (μ_0)
	0	0	1	1	Mémorisation	Maintient à 1(μ_1)
Set	0	1	0	1	Mise à 1	Enclenchement (ε)
	0	1	1	1	Mise à 1	Maintient à 1 (μ_1)
Reset	1	0	0	0	Mise à 0	Maintient à 0 (μ_0)
	1	0	1	0	Mise à 0	Déclenchement (δ)
Non valide	1	1	0	X	Condition indéterminée	-
	1	1	1	X	Condition indéterminée	-

Scanné avec CamScanner

Bascule RS-NOR asynchrone

Table de vérité simplifiée

Etat	R	S	Q+
Mémoire	0	0	Q
Set	0	1	1
Reset	1	0	0
Non valide	1	1	X

Table de vérité symbolique

Etat	R	S
Maintient à 1 (μ_1)	0	X
Enclenchement (ε)	0	1
Déclenchement (δ)	1	0
Maintient à 0 (μ_0)	X	0

Etat	Entrées R	Entrées S	Sorties Q	Sorties Q+	Description	Fonction de sortie
Mémoire	0	0	0	0	Mémorisation	Maintient à 0 (μ_0)
Mémoire	0	0	1	1	Mémorisation	Maintient à 1 (μ_1)
Set	0	1	0	1	Mise à 1	Enclenchement (ε)
Set	0	1	1	1	Mise à 1	Maintient à 1 (μ_1)
Reset	1	0	0	0	Mise à 0	Maintient à 0 (μ_0)
Reset	1	0	1	0	Mise à 0	Déclenchement (δ)
Non valide	1	1	0	X	Condition indéterminée	-
Non valide	1	1	1	X	Condition indéterminée	-

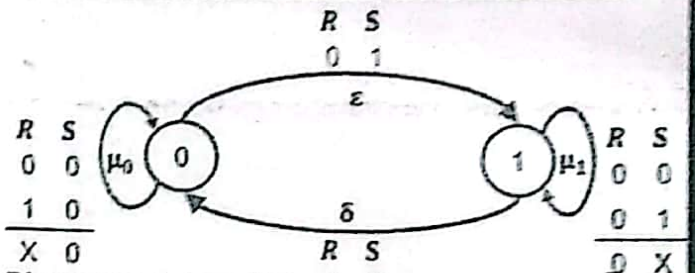
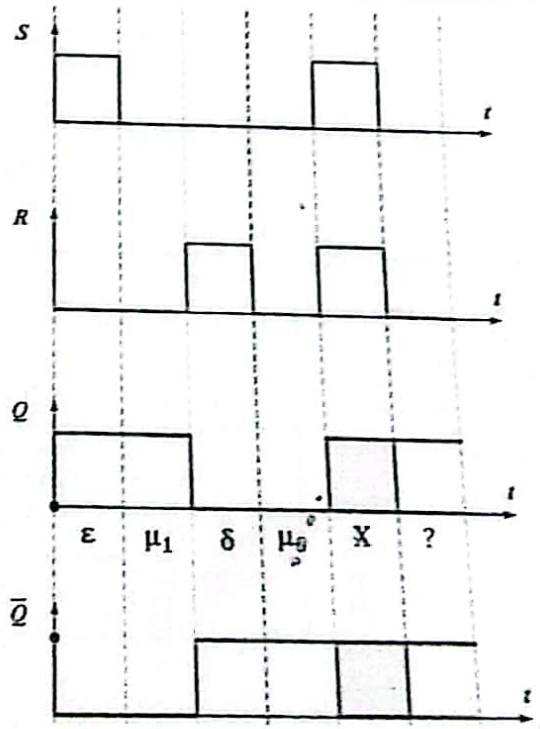


Diagramme à deux états

Bascule RS-NOR asynchrone

Table de vérité simplifiée

Etat	R	S	Q+
Mémoire	0	0	Q
Set	0	1	1
Reset	1	0	0
Non valide	1	1	X



Scanné avec CamScanner

Bascule RS-NAND asynchrone

Circuit

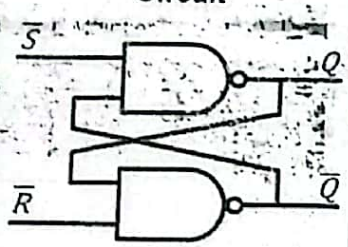


Table de transition

Etat	Entrées		Sorties		Description	Fonction de sortie
	$\overline{R}$	$\overline{S}$	Q (Etat présent)	Q+ (Etat suivant)		
Mémoire	1	1	0	0	Mémorisation	Maintient à 0 (μ_0)
	1	1	1	1	Mémorisation	Maintient à 1 (μ_1)
Set	1	0	0	1	Mise à 1	Enclenchement (ε)
	1	0	1	1	Mise à 1	Maintient à 1 (μ_1)
Reset	0	1	0	0	Mise à 0	Maintient à 0 (μ_0)
	0	1	1	0	Mise à 0	Déclenchement (δ)
Non valide	0	0	0	X	Condition indéterminée	-
	0	0	1	X	Condition indéterminée	-

Bascule RS-NAND asynchrone

Table de vérité simplifiée

Etat	$\overline{R}$	$\overline{S}$	Q+
Mémoire	1	1	Q
Set	1	0	1
Reset	0	1	0
Non valide	0	0	X

Table de vérité symbolique

Etat	$\overline{R}$	$\overline{S}$
Maintient à 1 (μ_1)	1	X
Enclenchement (ε)	1	0
Déclenchement (δ)	0	1
Maintient à 0 (μ_0)	X	1

Etat	Entrées		Sorties		Description	Fonction de sortie
	$\overline{R}$	$\overline{S}$	Q	Q+		
Mémoire	1	1	0	0	Mémorisation	Maintient à 0 (μ_0)
	1	1	1	1	Mémorisation	Maintient à 1 (μ_1)
Set	1	0	0	1	Mise à 1	Enclenchement (ε)
	1	0	1	1	Mise à 1	Maintient à 1 (μ_1)
Reset	0	1	0	0	Mise à 0	Maintient à 0 (μ_0)
	0	1	1	0	Mise à 0	Déclenchement (δ)
Non valide	0	0	0	X	Condition indéterminée	-
	0	0	1	X	Condition indéterminée	-

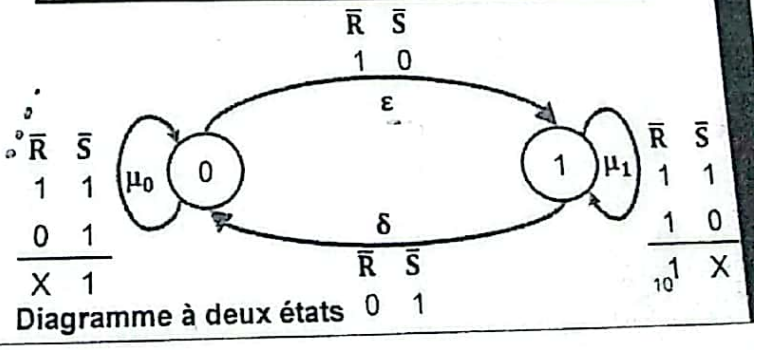


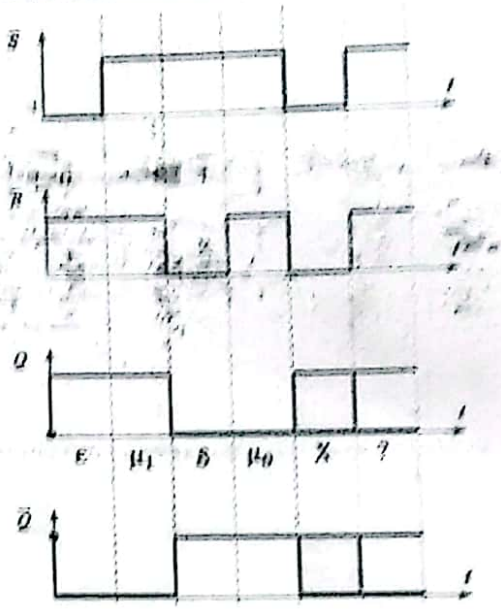
Diagramme à deux états

Scanné avec CamScanner

Bascule RS-NAND asynchrone

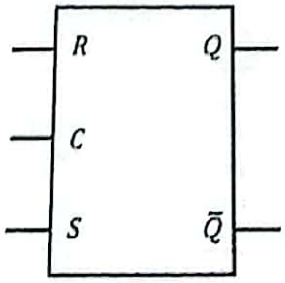
Table de vérité simplifiée

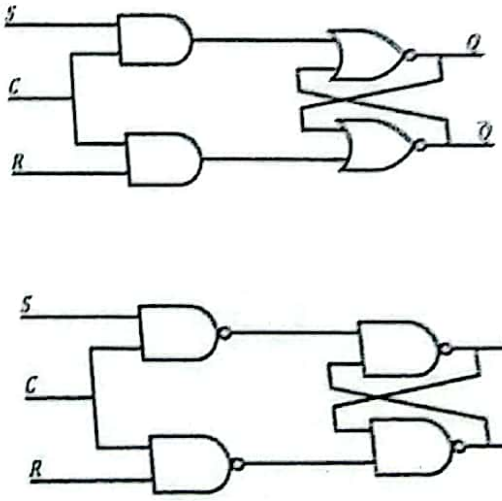
Etat	$\bar{R}$	$\bar{S}$	Q+
Mémoire	1	1	Q
Set	1	0	1
Reset	0	1	0
Non valide	0	0	X



Bascule RS synchrone

Une bascule synchrone RSH est une bascule RS dont l'enclenchement et le déclenchement ne sont autorisés qu'à la présence d'un signal de synchronisation appelé signal d'horloge.





Scanné avec CamScanner

Bascule RS synchrone

Diagramme à deux états

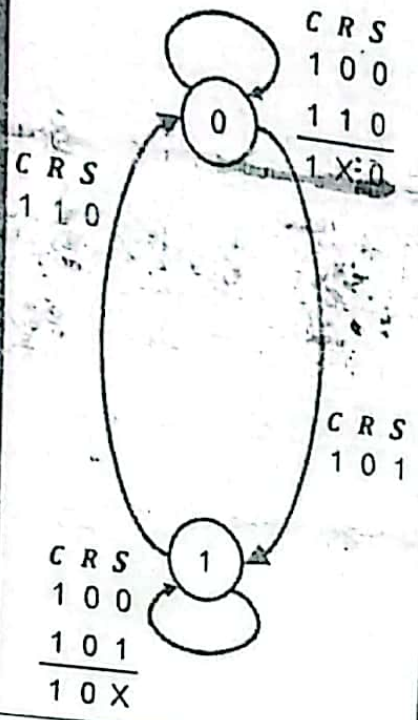
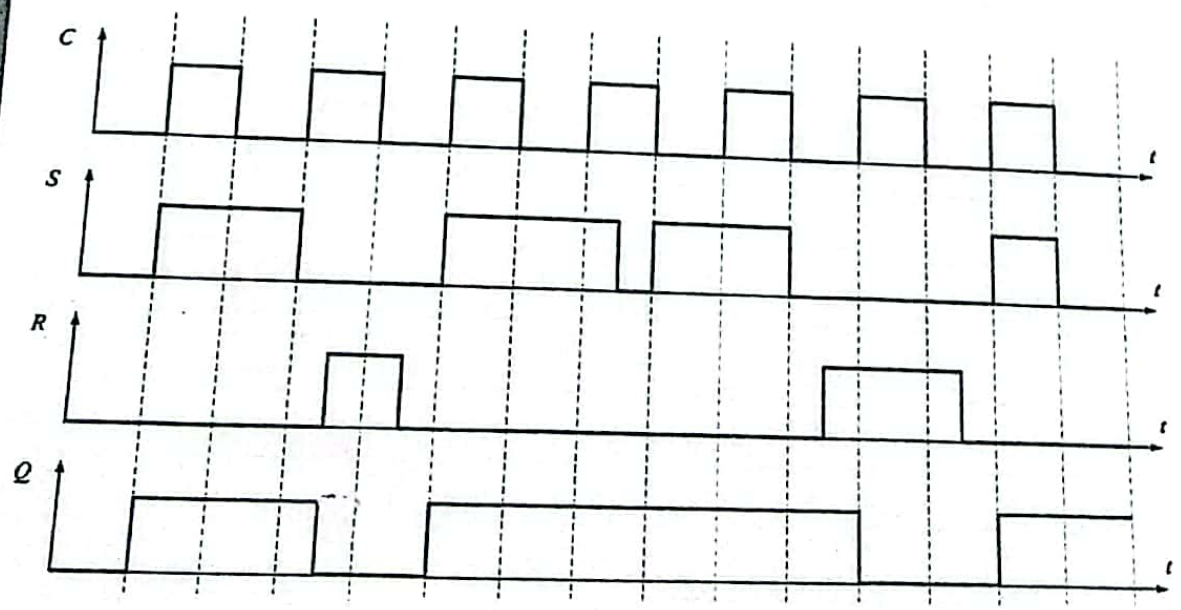


Table de transition

Etat	Horloge	Entrées R	Entrées S	Sorties Q (Etat présent)	Sorties Q+ (Etat suivant)	Description
Mémoire	0	0	0	0	0	Mémorisation (Q+=Q)
	0	0	0	1	1	
	0	0	1	0	0	
	0	0	1	1	1	
	0	1	0	0	0	
	0	1	0	1	1	
	0	1	1	0	0	
Mémoire	0	1	1	1	1	
Set	1	0	0	0	0	Mémorisation (Q+=Q)
	1	0	0	1	1	
Reset	1	0	1	0	1	Mise à 1 (Q+=1)
	1	0	1	1	1	
Non valide	1	1	0	0	0	Mise à 0 (Q+=0)
	1	1	0	1	0	
	1	1	1	0	X	Condition indéterminée
	1	1	1	1	X	

Chronogramme de la bascule RS synchrone



Scanné avec CamScanner

Bascule D synchrone

Une bascule synchrone D est réalisée à partir d'une bascule RSH où le complément de S est relié à R → Le cas indéterminé est résolu.

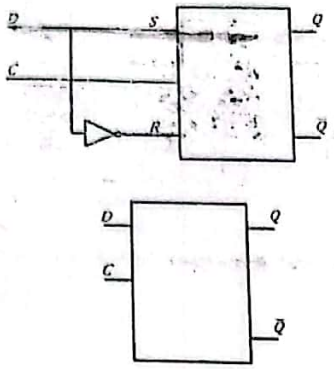
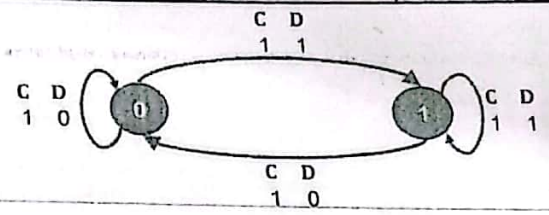


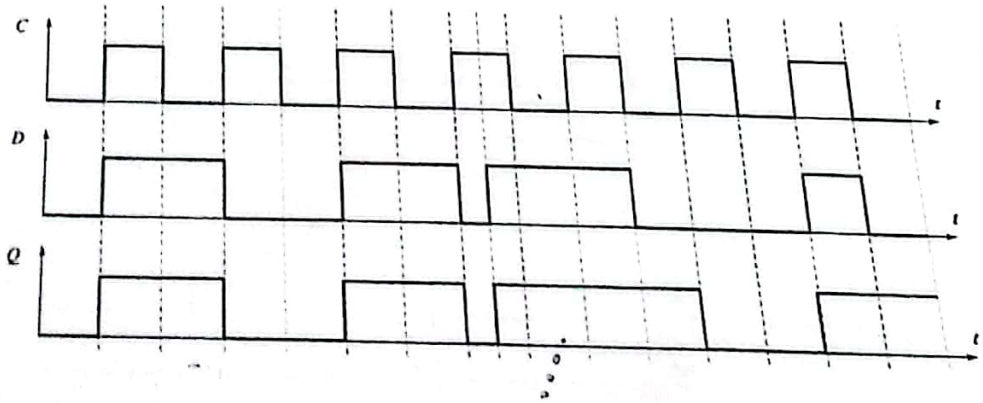
Table de transition

C	D	Q (Etat présent)	Q+ (Etat suivant)	Description	Etat
0	X	0	0	Mémorisation	$Q += Q$
0	X	1	1	Mémorisation	
1	1	0	1	Mise à 1	$Q += D$
1	1	1	1	Mise à 1	
1	0	0	0	Mise à 0	
1	0	1	0	Mise à 0	



16

Chronogramme de la bascule D synchrone

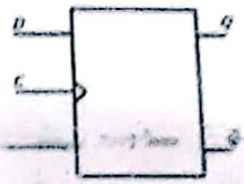


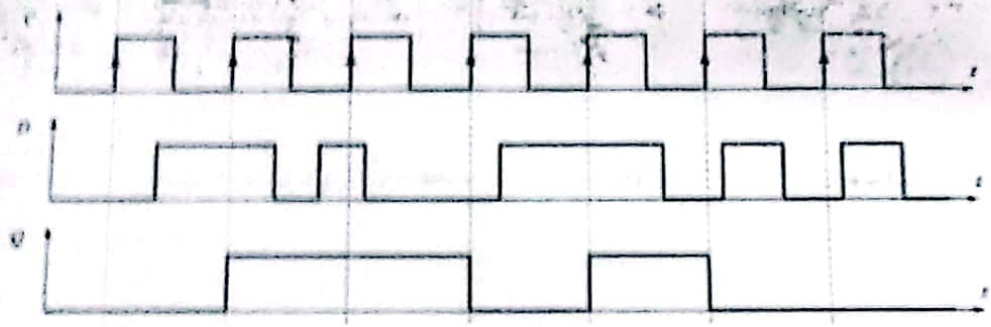
17

Scanné avec CamScanner

Bascule D synchrone à front montant

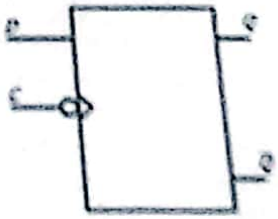
La bascule répond à un signal d'horloge à front montant

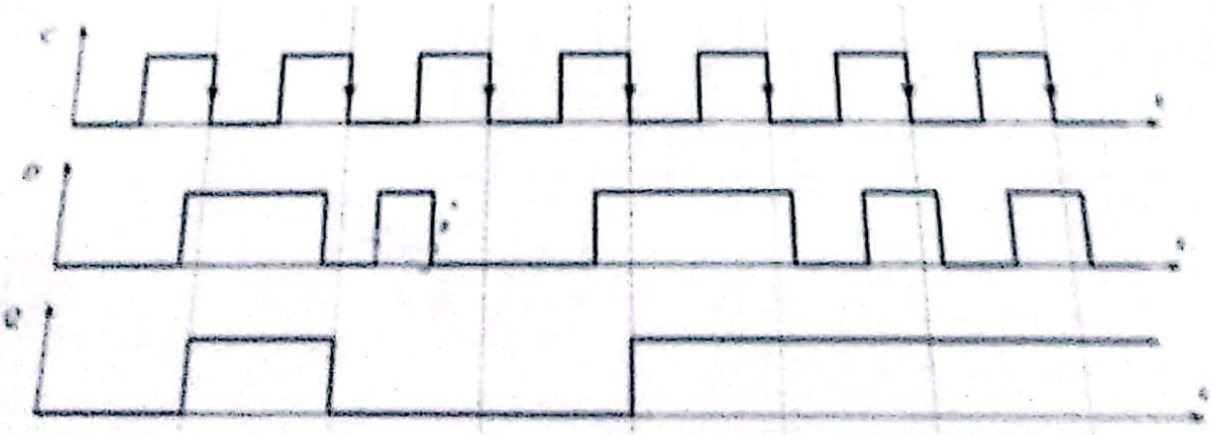




Bascule D synchrone à front descendant

La bascule répond à un signal d'horloge à front descendant

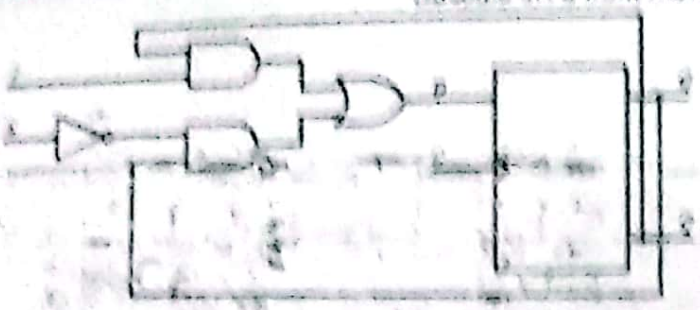


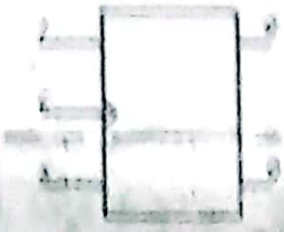


Scanné avec CamScanner

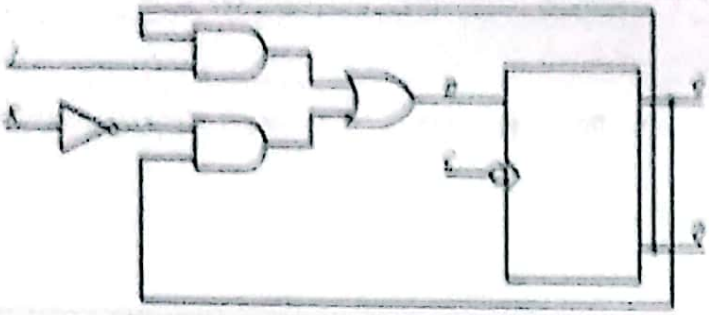
Bascule JK asynchrone

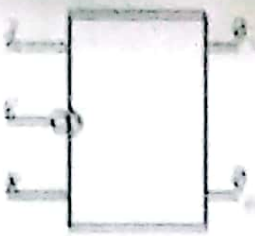
Bascule JK à front montant





Bascule JK à front descendant



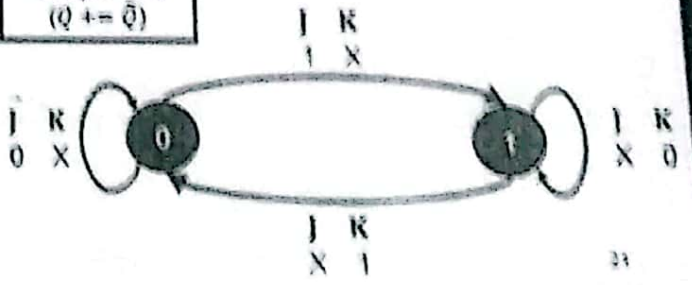


Bascule JK synchrone

Horloge		Etat	J	K	Q_{t_n}	$Q+_{t_{n+1}}$	Description
1	0	Mémoire	X	X	X	Q	Mémorisation ($Q+ = Q$)
↑	↓	Mémoire	0	0	0	0	Mémorisation ($Q+ = Q$)
			0	0	1	1	
↑	↓	Set	1	0	0	1	Mise à 1 ($Q+ = 1$)
			1	0	1	1	
↑	↓	Reset	0	1	0	0	Mise à 0 ($Q+ = 0$)
			0	1	1	0	
↑	↓	Complément	1	1	0	1	Complément ($Q+ = \bar{Q}$)
			1	1	1	0	

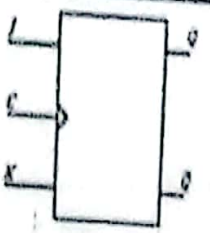
Etat	J	K	Q+
Mémoire	0	0	Q
Set	1	0	1
Reset	0	1	0
Complément	1	1	$\bar{Q}$

Fonction	J	K
Maintient à 0 (μ_0)	0	X
Enclenchement (ε)	1	X
Déclenchement (δ)	X	1
Maintient à 1 (μ_1)	X	0

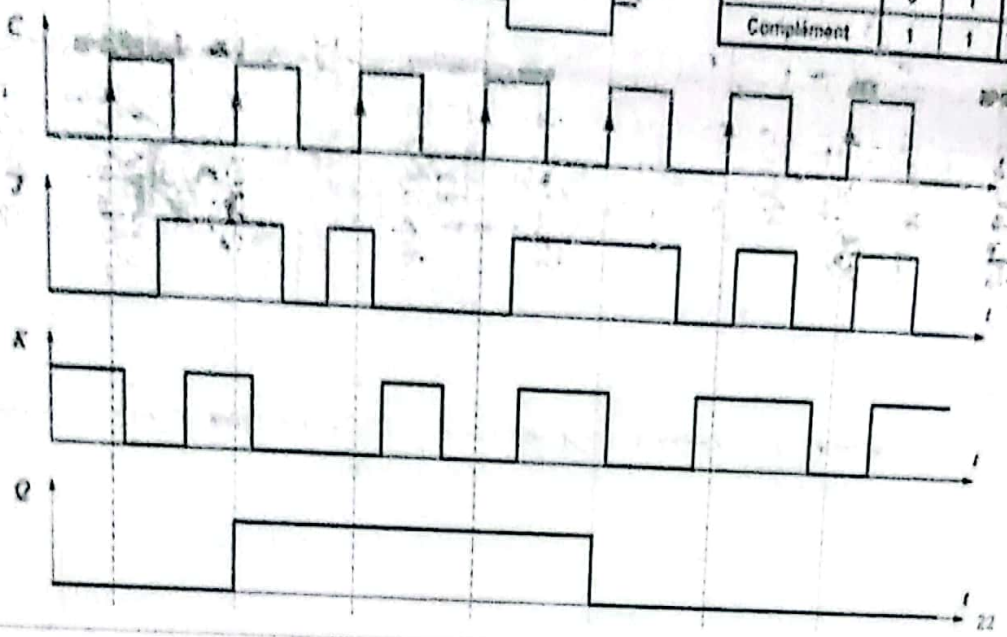


Scanné avec CamScanner

front montant

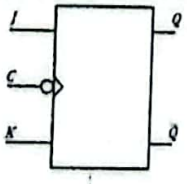


Etat	J	K	Q+
Mémoire	0	0	Q
Set	1	0	1
Reset	0	1	0
Complément	1	1	$\bar{Q}$

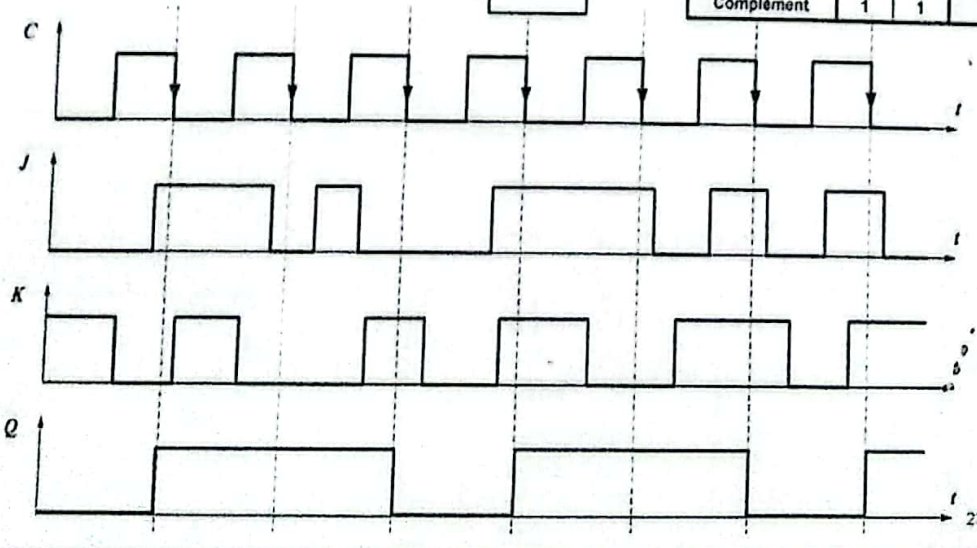


22

Chronogramme de la bascule JK synchrone avec front descendant



Etat	J	K	Q+
Mémoire	0	0	Q
Set	1	0	1
Reset	0	1	0
Complément	1	1	$\bar{Q}$



23

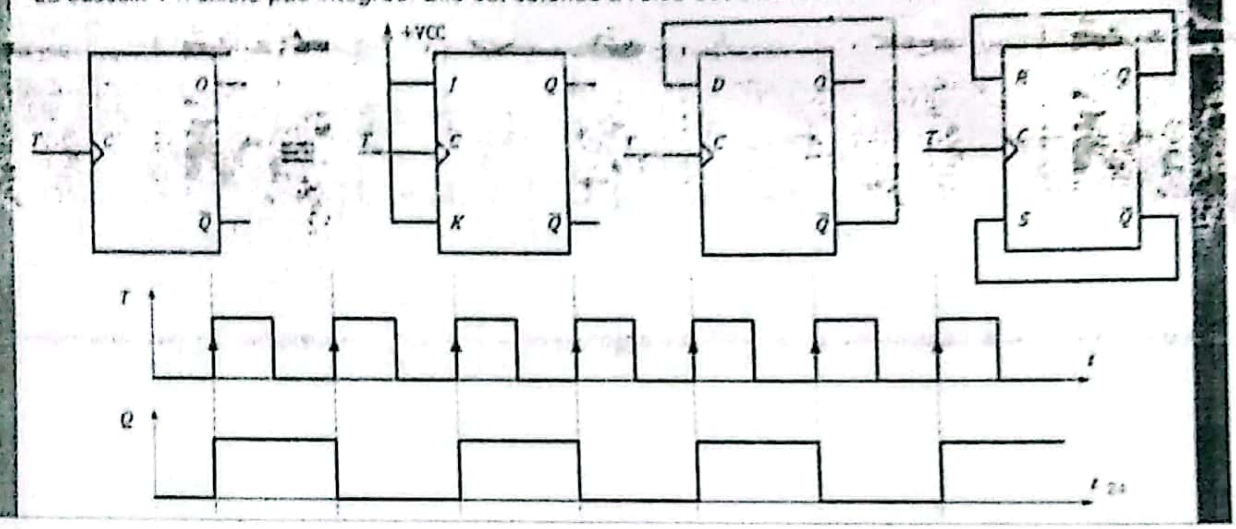
Scanné avec CamScanner

Bascule T synchrone

La bascule T (Toggle, basculer en français) est commandée uniquement par une entrée d'horloge

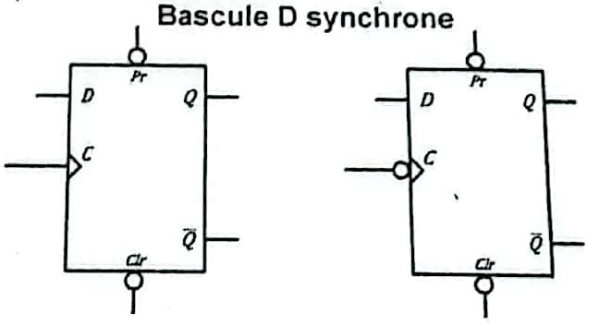
Elle change d'état à chaque front.

La bascule T n'existe pas intégrée. Elle est obtenue à l'aide des bascules JK, D ou RSH

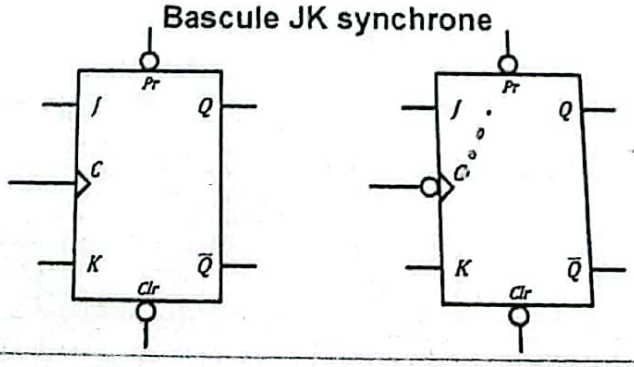


Bascule synchrone avec entrées de forçage

Bascule D synchrone



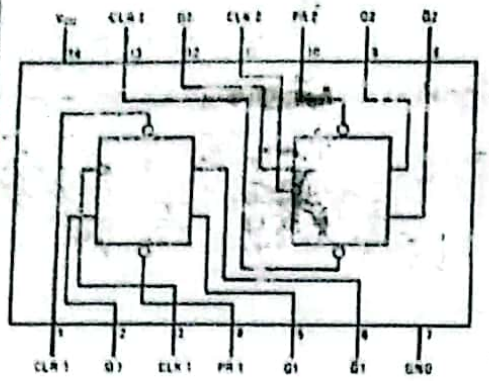
Bascule JK synchrone



Fonction	Clr	Pr
Mode synchrone	1	1
Forçage à 0	0	1
Forçage à 1	1	0
Non défini	0	0

Scanné avec CamScanner

Bascule D en circuit intégré 74LS74

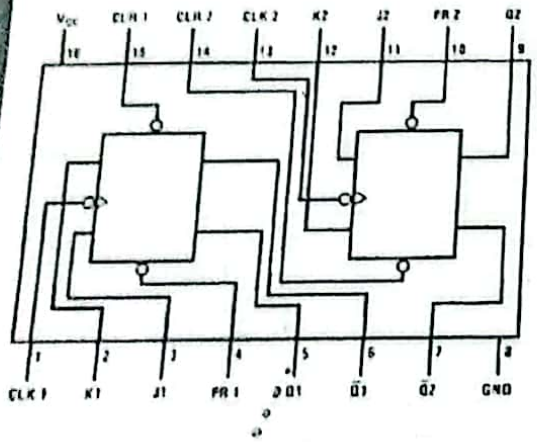


Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
L = LOW Logic Level
↑ = Positive-going Transition
Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

Bascule JK en circuit intégré 74LS112



Inputs					Outputs	
PR	CLR	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	↓	L	L	Q_0	$\overline{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	
H	H	H	X	X	Q_0	$\overline{Q}_0$

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
↓ = Negative Going Edge of Pulse
Q_0 = The output logic level before the indicated input conditions were established.
Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

Note 1: This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (HIGH) level.

Scanné avec CamScanner

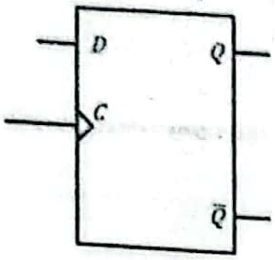
Registres

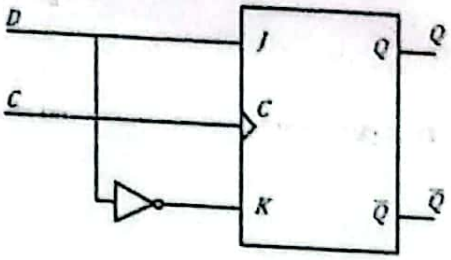
Les registres sont un ensemble de bascules qui réagissent à une horloge commune et qui servent à enregistrer ou à modifier des combinaisons binaires appelées mots binaires.

On distingue 2 types de registres :

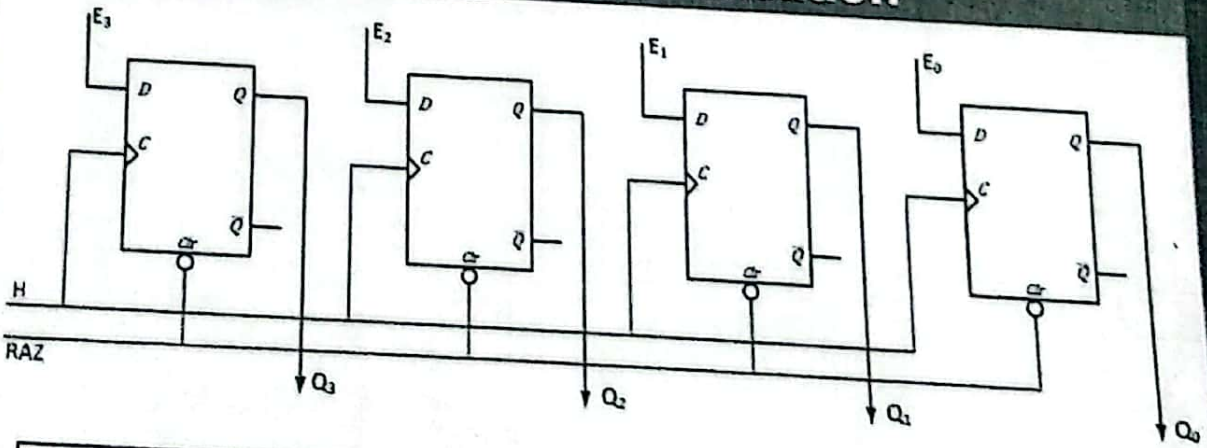
- Registre de mémorisation
- Registre de décalage

Pour la réalisation des registres on utilise des bascules D ou JK montés en D





Registre de mémorisation

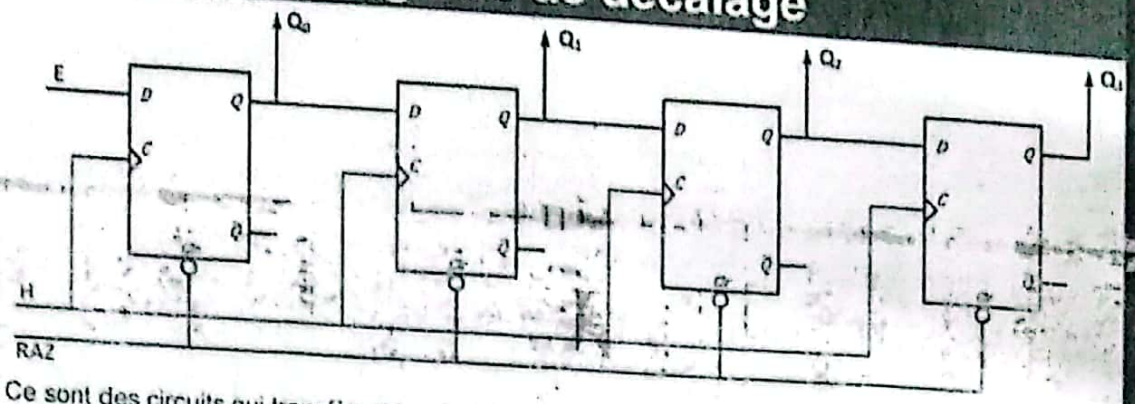


Entrées		Sorties			
RAZ	H	Q_3	Q_2	Q_1	Q_0
0	X	0	0	0	0
1	0 ou 1	Pas de changement			
1	↑	E_3	E_2	E_1	E_0

PIPO (Parallel In - Parallel Out) : Les données sont chargées simultanément dans le registre, et transférées ensemble à leurs sorties respectives par la même impulsion d'horloge.

Scanné avec CamScanner

Registre de décalage



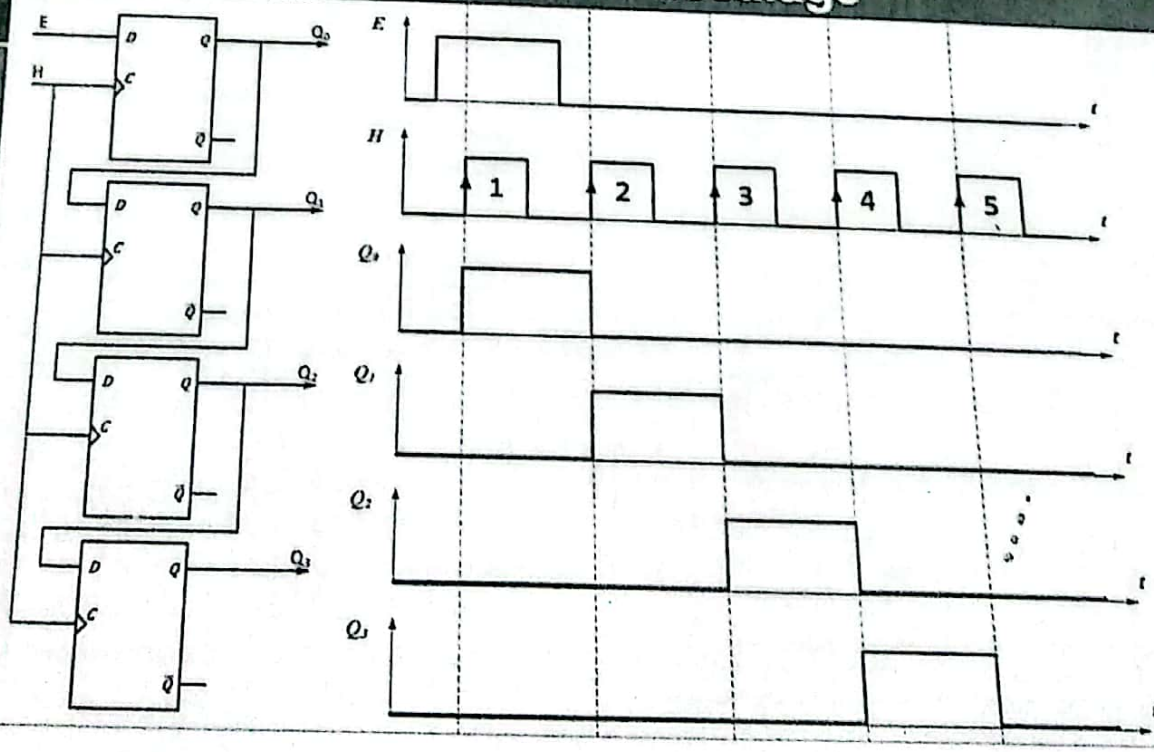
Ce sont des circuits qui transfèrent les données d'une bascule à une autre, bit par bit (1 bit à la fois).

SISO (Serial In - Serial Out) : Les bits d'information sont présentés bit après bit à l'entrée de la première bascule et se propagent à travers le registre à chaque impulsion d'horloge, pour sortir par la dernière bascule. Entrée : E Sortie : Q_3

SIPO (Serial In - Parallel Out) : La récupération des données peut se faire d'une façon parallèle, il suffit pour cela que les sorties des différentes bascules du registre soient accessibles. La lecture du contenu du registre se fait d'une façon simultanée.

Entrée : E Sorties : Q_0, Q_1, Q_2, Q_3

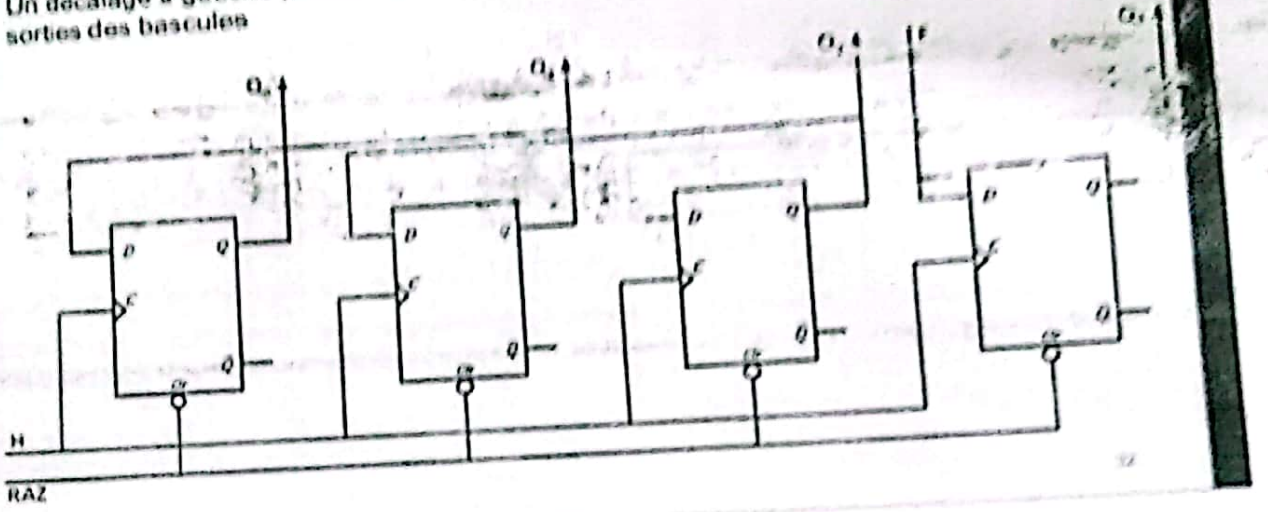
Registre de décalage



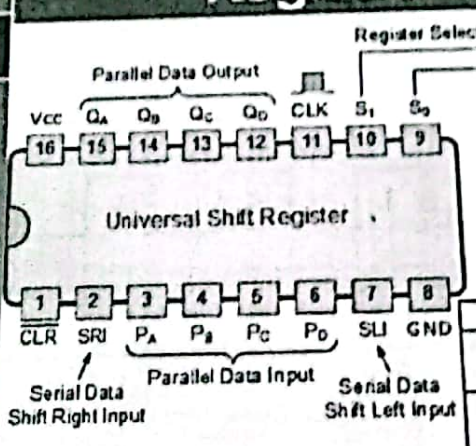
Scanné avec CamScanner

Registre de décalage à gauche

Un décalage à gauche peut être obtenu en changeant la connexion des entrées et des sorties des bascules



Registre universel en C.I 74LS194



Mode Control S_1	Mode Control S_0	Register Type
0	0	Hold
0	1	Shift to right
1	0	Shift to left
1	1	Parallel Mode

Inputs										Outputs			
Clear	Mode S1	Mode S0	Clock	Serial Left	Serial Right	Parallel A	Parallel B	Parallel C	Parallel D	Q_A	Q_B	Q_C	Q_D
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

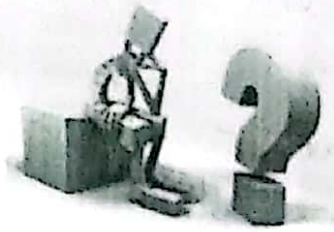
H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.
Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = The level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated steady state input conditions were established.
Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = The level of Q_A, Q_B, Q_C, respectively, before the most-recent ↑ transition of the clock.

Scanné avec CamScanner

Compteurs binaires

- Une bascule peut avoir 2 états différents à sa sortie (0 et 1) et peut donc permettre de compter de 0 à 1
- Avec 2 bascules on peut avoir jusqu'à 4 états différents : 00, 01, 10 et 11, ce qui permet de compter de 0 à 3 en binaire naturel
- Avec 3 bascules on a 8 états (de 000 à 111)
- Avec n bascules on a 2^n états ➢ on peut donc compter de 0 à $2^n - 1$

Comment doivent être connectées les n bascules entre elles pour réaliser un compteur ?



Classification des compteurs

Les compteurs peuvent être décris en citant 5 caractéristiques

1. **Sens de comptage** :
   Evolution croissante de la valeur de sortie : compteurs
   Evolution décroissante de la valeur de sortie : décompteurs
2. **Code dans lequel est exprimé la valeur sortie :** binaire naturel, BCD , code Gray Etc...
3. **Type de basculement du compteur :** compteurs asynchrones, compteurs synchrones
4. **Nombre de bits en sortie :** l'ensemble des valeurs que peut prendre les sorties du compteur (Ex. compteur 4 bits, décompteur de 7 à 0)
5. **Le mode de comptage :** Compteurs à cycle complet et compteurs à cycle incomplet

2^n

Définition : Le ***modulo*** d'un compteur le nombre d'états différents que peut prendre la valeur de sortie sur l'ensemble du cycle de comptage.

Un compteur modulo N comporte N combinaisons de 0 à $N - 1$ et utilise n bascules tel que $2^{n-1} < N \leq 2^n$.

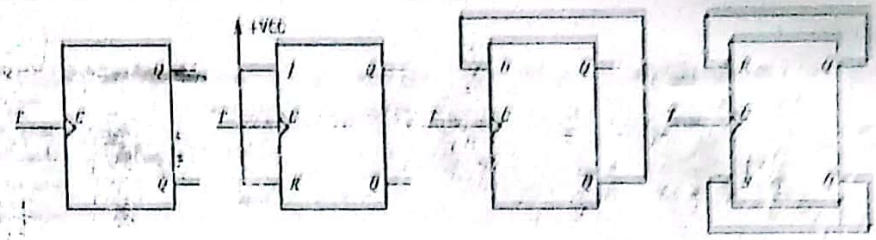
Exemple : Un compteur modulo 8 est un compteur qui peut générer 8 états de comptage de 0 à 7 et utilise 3 bascules ($2^2 < 8 \leq 2^3$).

Scanné avec CamScanner

Principe des compteurs asynchrones

La conception des compteurs asynchrones repose sur les principes sur les suivantes.

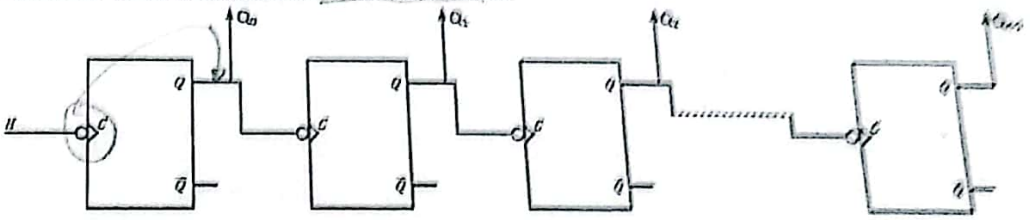
- Les bascules doivent être montées en Toggle (pour basculer à chaque front du signal d'horloge).



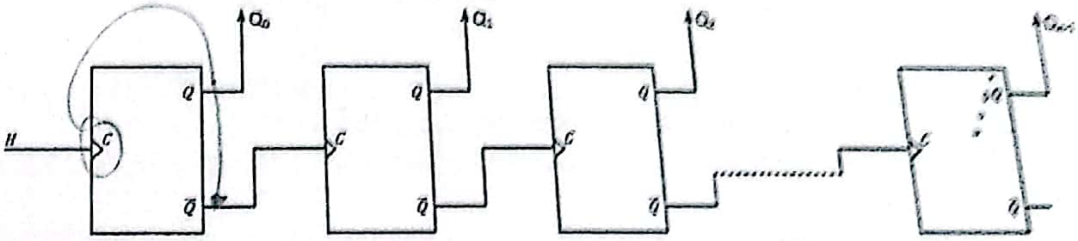
- Les bascules utilisées doivent réagir au même front (montant ou descendant).
- L'horloge de comptage est appliquée à la première bascule.
- La sortie de chaque bascule K (Q ou $\bar{Q}$) est reliée à l'entrée d'horloge de la bascule suivante $K+1$.
- Les sorties des bascules Q constituent directement les sorties du compteur.
- La sortie de la première bascule représente le LSB et celle de la dernière bascule représente le MSB.

Montage des compteurs asynchrones

Réalisation avec bascules à front descendant



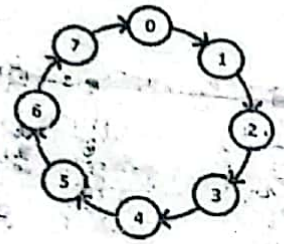
Réalisation avec bascules à front montant



Scanné avec CamScanner

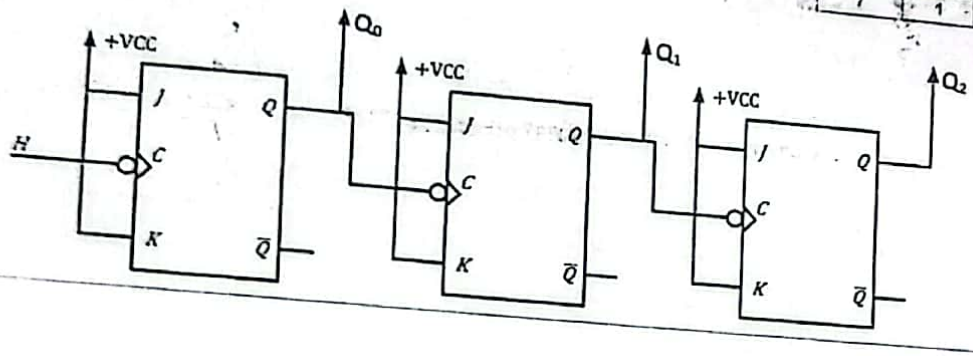
Compteur asynchrone modulo 8 avec bascules JK à front descendant

$2^2 < 8 \leq 2^3$ ⇒ 3 bascules JK à front descendant



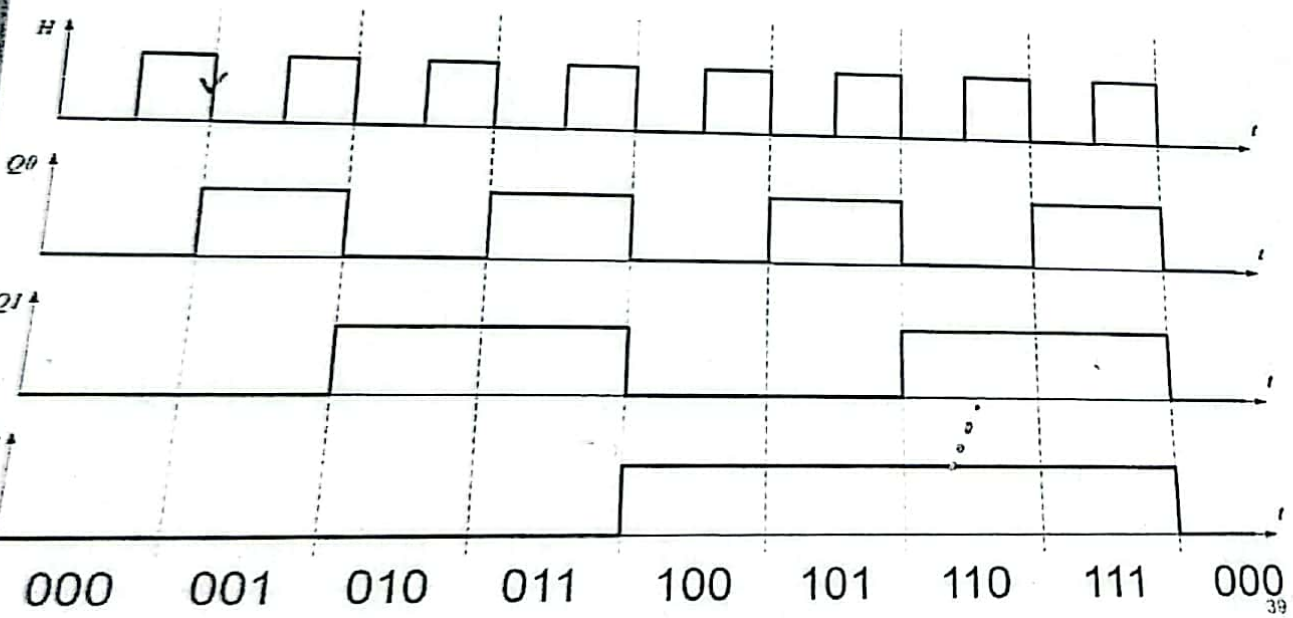
Cycle de comptage

Etats	Sorties		
	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1



38

Compteur asynchrone modulo 8 avec bascules JK à front descendant



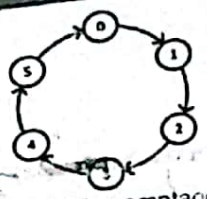
39

Scanné avec CamScanner

Compteur asynchrone modulo 6 avec bascules D à front montant

$2^2 < 6 \leq 2^3$

3 bascules D à front montant



Cycle de comptage

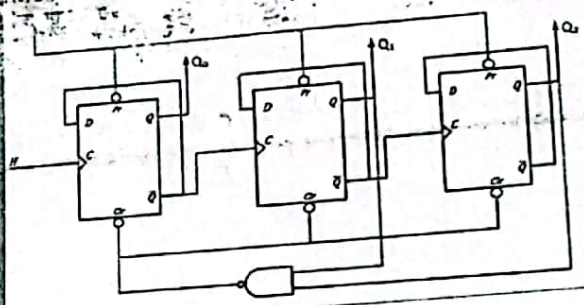
Valeur de forçage

Etats	Sorties		
	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Problème : avec trois bascules, on compte de 0 à 7. Comment faire pour compter de 0 à 5 ?

Solution : Il faut mettre les sorties des bascules à 0 lorsque $Q2Q1Q0 = 110$

Moyen : Utilisation de l'entrée de forçage $\overline{clr}$ des bascules quand la sortie vaut 6



	sorties	$\overline{clr}$
De 0 à 5		Inactive
6	$Q2Q1\overline{Q0}$	Active

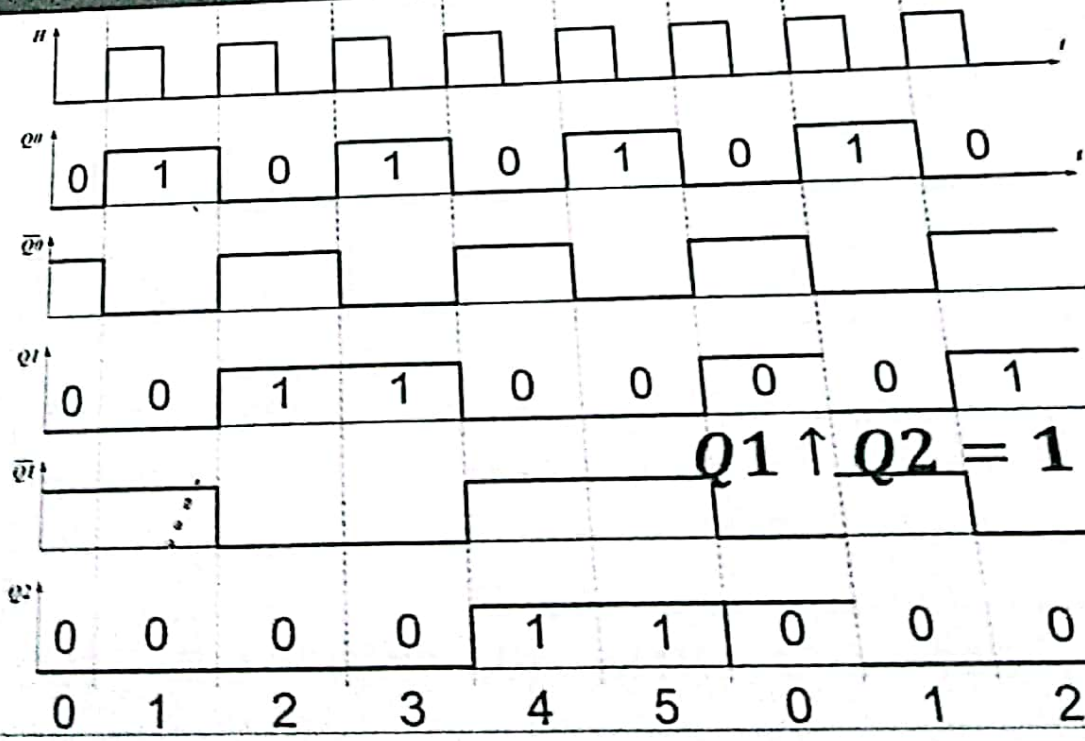
$$\overline{clr} = \overline{Q2Q1\overline{Q0}} = \overline{Q2} + \overline{Q1} + Q0 = \overline{Q2} + \overline{Q1} = \overline{Q2.Q1}$$

$$\boxed{\overline{clr} = Q2 \uparrow Q1}$$

40

Electronique Numérique

Compteur asynchrone modulo 6 avec bascules D à front montant



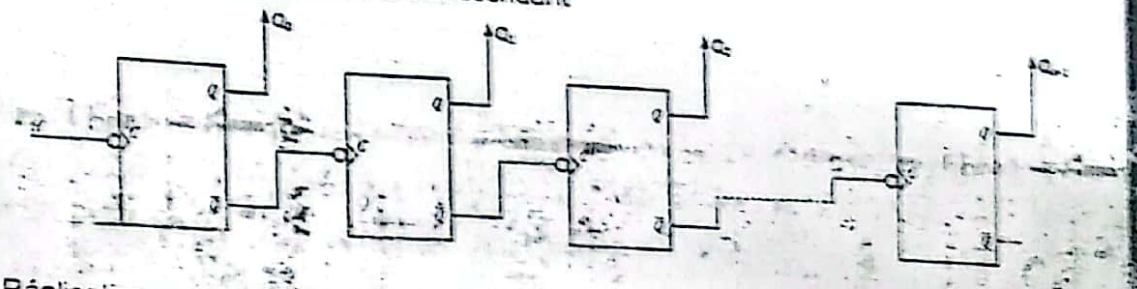
$$Q1 \uparrow Q2 = 1 \uparrow 1 = 0$$

41

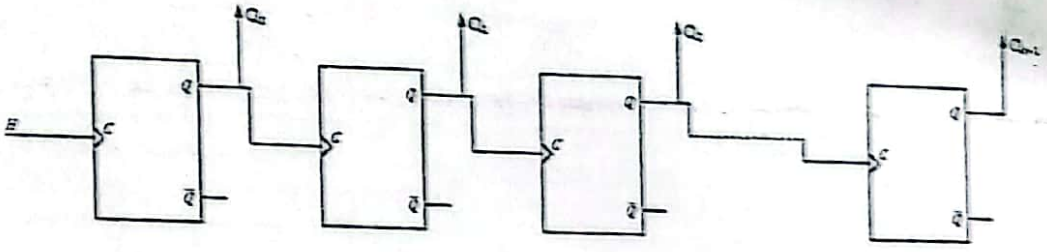
Scanné avec CamScanner

Montage des décompteurs asynchrones

Réalisation avec bascules à front descendant

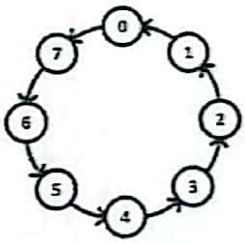


Réalisation avec bascules à front montant



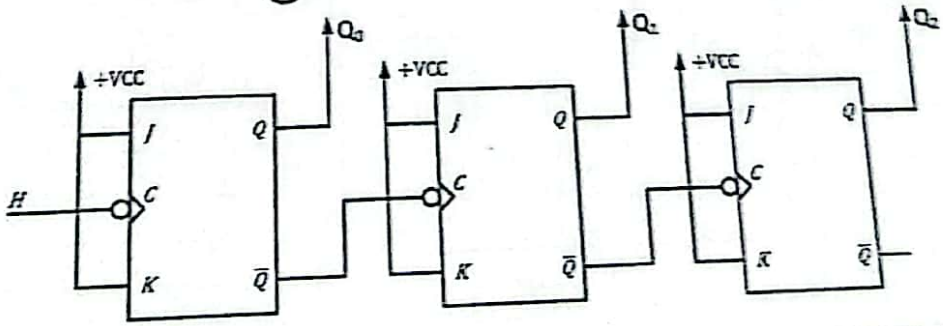
Décompteur asynchrone modulo 8 avec bascules JK à front descendant

$2^2 < 8 \leq 2^3$ ⇒ 3 bascules JK à front descedant



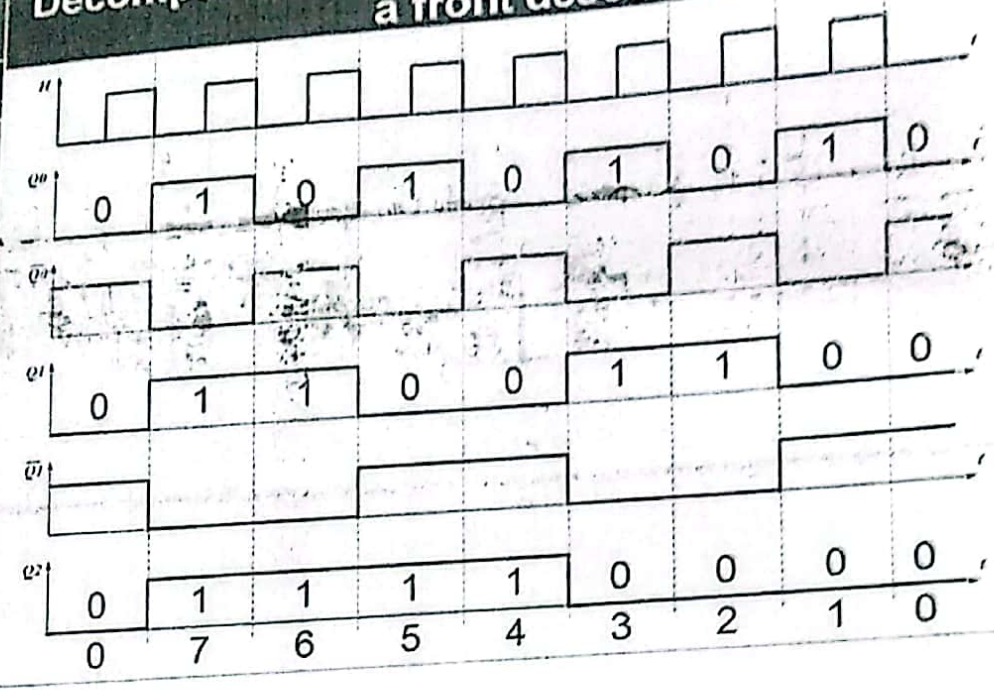
Cycle de comptage

Etats	Sorties		
	Q2	Q1	Q0
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0



Scanné avec CamScanner

Décompteur asynchrone modulo 8 avec bascules JK à front descendant

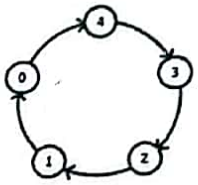


Electronique Numérique

Décompteur asynchrone modulo 5 avec bascules D à front montant

$2^2 < 5 \leq 2^3$

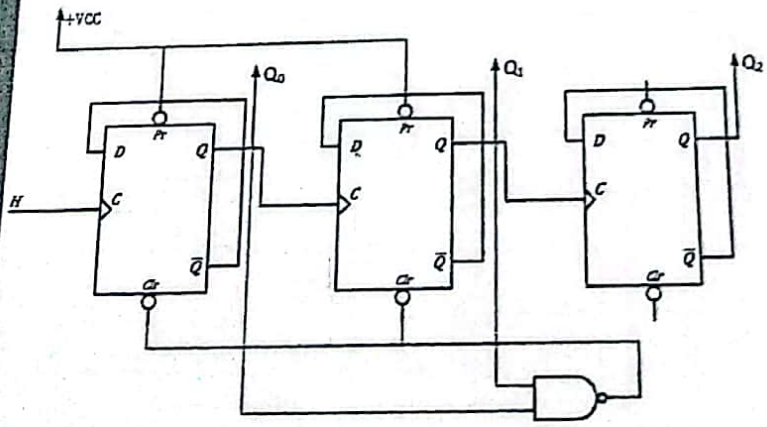
3 bascules D à front montant



Cycle de comptage

Etats	Sorties		
	Q2	Q1	Q0
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Cycle de décomptage — Non inclut

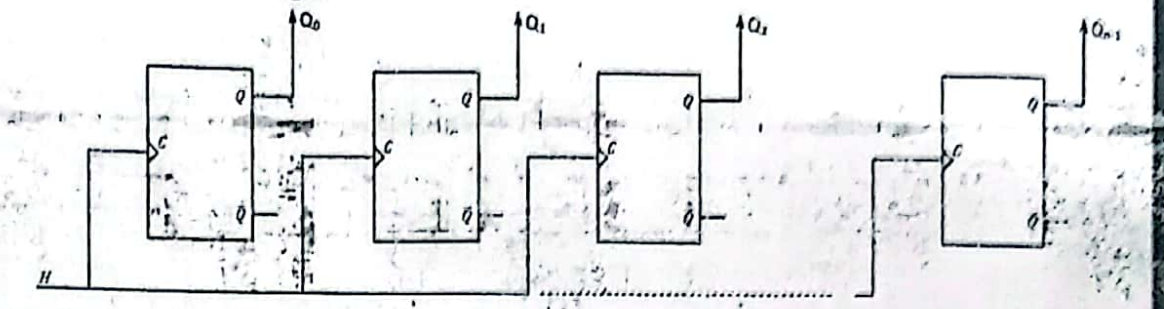


Electronique Numérique

Scanné avec CamScanner

Principe des compteurs synchrones

Dans un compteur ou décompteur synchrone, l'information à compter est appliquée simultanément à toutes les entrées d'horloges



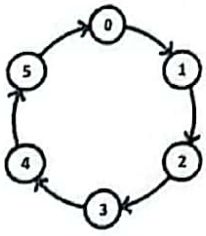
Le changement d'état du comptage dépend uniquement de l'état des entrées de commande JK, D ou RS.

La méthode de résolution d'un tel problème consiste à :

1. Dresser la table de comptage selon le cycle préalablement donné.
2. Etablir la table de fonctionnent des bascules utilisées.
3. Mettre en équation les entrées de commande des différentes bascules.
4. Tracer le schéma de câblage.

Compteur synchrone modulo 6 avec bascules JK à front descendant

$2^2 < 6 \leq 2^3$ ⟹ 3 bascules JK à front descedant



Cycle de comptage

Q	Q+	C	J	K
0	0	↓	0	X
0	1	↓	1	X
1	0	↓	X	1
1	1	↓	X	0

Scanné avec CamScanner

Compteur synchrone modulo 6 avec bascules JK à front descendant

Sorties								Entrées de commande					
Etats actuels				Etats suivants									
DEC	Q2	Q1	Q0	Q2+	Q1+	Q0+	DEC	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	1	1	0	X	0	X	1	X
1	0	0	1	0	1	0	2	0	X	1	X	X	1
2	0	1	0	0	1	1	3	0	X	X	0	1	X
3	0	1	1	1	0	0	4	1	X	X	1	X	1
4	1	0	0	1	0	1	5	X	0	0	X	1	X
5	1	0	1	0	0	0	0	X	1	0	X	X	1

48

Compteur synchrone modulo 6 avec bascules JK à front descendant

Q2 \ Q1Q0	00	01	11	10
0	0	0	1	0
1	X	X	X	X

J2

$$J2 = Q1.Q0$$

Q2 \ Q1Q0	00	01	11	10
0	X	X	X	X
1	0	1	X	X

K2

$$K2 = Q0$$

Q2 \ Q1Q0	00	01	11	10
0	0	1	X	X
1	0	0	X	X

J1

$$J1 = Q0.\overline{Q2}$$

Q2 \ Q1Q0	00	01	11	10
0	X	X	1	0
1	X	X	X	X

K1

$$K1 = Q0$$

Q2 \ Q1Q0	00	01	11	10
0	1	X	X	1
1	1	X	X	X

J0

$$J0 = 1$$

Q2 \ Q1Q0	00	01	11	10
0	X	1	1	X
1	X	1	X	X

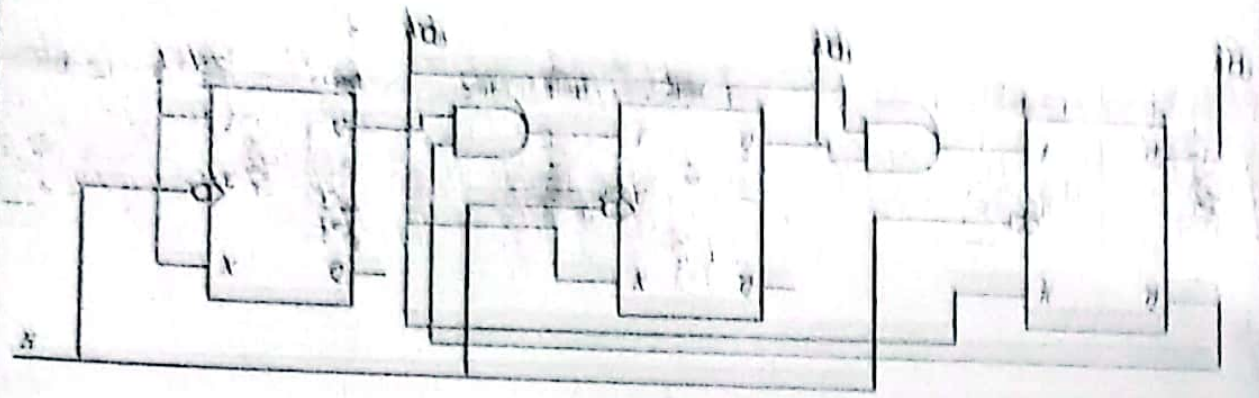
K0

$$K0 = 1$$

49

Scanné avec CamScanner

Compteur synchrone modulo 8 avec bascules JK à front descendant



Compteur synchrone modulo 6 avec bascules D à front descendant

Sorties								Entrées de commande		
Etats actuels				Etats suivants						
DEC	Q2	Q1	Q0	Q2+	Q1+	Q0+	DEC	D2	D1	D0
0	0	0	0	0	0	1	1	0	0	1
1	0	0	1	0	1	0	2	0	1	0
2	0	1	0	0	1	1	3	0	1	1
3	0	1	1	1	0	0	4	1	0	0
4	1	0	0	1	0	1	5	1	0	1
5	1	0	1	0	0	0	0	0	0	0

Scanné avec CamScanner